

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-243058

(43)Date of publication of application : 07.09.1999

(51)Int.Cl. H01L 21/205
 H01L 29/201
 H01L 21/331
 H01L 29/73
 H01L 29/778
 H01L 21/338
 H01L 29/812

(21)Application number : 10-042114

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.02.1998

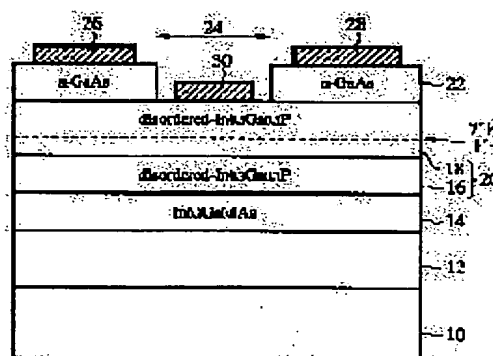
(72)Inventor : YOSHIKAWA SHUNEI

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, which is capable of decreasing the contact resistance at the interface between an InGaP layer and a semiconductor layer formed at the upper layer of the InGaP layer, and the manufacturing method thereof.

SOLUTION: This semiconductor device is constituted of an InGaP layer 20, which is epitaxially grown on a semiconductor substrate 10, and wherein the natural superlattice is broken and the alignment of In and Ga in the surface of a III-group atom layer has become irregular, and a semiconductor layer 22 which has been epitaxially grown on the InGaP layer 20 and has the same conductivity type as the InGaP layer 20. With this constitution, the trap at the interface of the InGaP layer 20 and the semiconductor layer 22 can be decreased. Thus, the contact resistance between the InGaP layer 20 and the semiconductor layer 22 can be decreased.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-243058

(43) 公開日 平成11年(1999) 9月7日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/205
29/201
21/331
29/73
29/778

H 0 1 L 21/205
29/201
29/72
29/80

H

審査請求 未請求 請求項の数15 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願平10-42114

(22) 出願日 平成10年(1998) 2月24日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 吉川 俊英

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 北野 好人

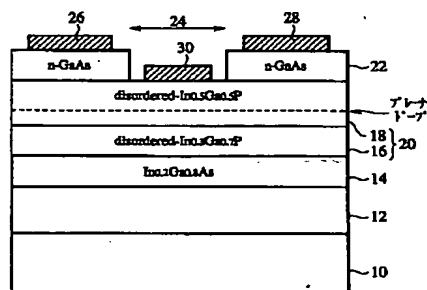
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 InGaP層とその上層に形成した半導体層との界面におけるコンタクト抵抗を低減しうる半導体装置及びその製造方法を提供する。

【解決手段】 半導体基板10上にエピタキシャル成長され、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層20と、InGaP層20上にエピタキシャル成長されたInGaP層20と同一導電型の半導体層22とにより半導体装置を構成する。

本発明の第1実施形態による半導体装置の構造を示す概略断面図



10...半絶縁性GaAs基板
12...バッファ層
14...チャネル層
16...InGaP層
18...InGaP層
20...電子供給層
22...コンタクト層
24...リセス領域
26...ソース電極
28...ドレイン電極
30...ゲート電極

【特許請求の範囲】

【請求項1】 半導体基板上にエピタキシャル成長され、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている領域を有するInGaP層と、前記InGaP層上にエピタキシャル成長された前記InGaP層と同一導電型の半導体層とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記InGaP層は、半導体基板上に形成され、III族原子層面内におけるInとGaの配列が規則的で自然超格子を構成している第1の層と、前記第1の層上に形成され、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている第2の層とを有することを特徴とする半導体装置。

【請求項3】 請求項1又は2記載の半導体装置において、前記半導体基板上に形成されたチャネル層と、前記チャネル層上に形成された前記InGaP層により構成された電子供給層と、前記電子供給層上に形成された前記半導体層により構成されたキャップ層とにより電界効果トランジスタが構成されていることを特徴とする半導体装置。

【請求項4】 請求項3記載の半導体装置において、前記InGaP層は、不純物が平面的に添加されたプレーナードープ領域を有することを特徴とする半導体装置。

【請求項5】 請求項3又は4記載の半導体装置において、前記チャネル層は、GaAs層又はInGaAs層により形成されていることを特徴とする半導体装置。

【請求項6】 請求項1又は2記載の半導体装置において、前記半導体基板上に形成されたコレクタ層と、前記コレクタ層上に形成されたベース層と、前記ベース層上に形成された前記InGaP層により構成されたエミッタ層と、前記InGaP層上に形成された前記半導体層により構成されたキャップ層とによりヘテロバイポーラトランジスタが構成されていることを特徴とする半導体装置。

【請求項7】 請求項1乃至6のいずれか1項に記載の半導体装置において、前記半導体層は、GaAs層、AlGaAs層又はInGaAs層により形成されていることを特徴とする半導体装置。

【請求項8】 半導体基板上に、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項9】 請求項8記載の半導体装置の製造方法に

おいて、

500～600℃の温度による有機金属化学気相成長法により、前記InGaP層を成長することを特徴とする半導体装置の製造方法。

【請求項10】 請求項8記載の半導体装置の製造方法において、

前記半導体基板上にIII族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層を成長し、前記InGaP層を短時間アニールすることにより、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている前記InGaP層を形成することを特徴とする半導体装置の製造方法。

【請求項11】 半導体基板上に、第1の温度による有機金属化学気相成長法より第1の半導体層をエピタキシャル成長する工程と、

前記第1の半導体層上に、前記第1の温度より低い第2の温度による有機金属化学気相成長法より自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層をエピタキシャル成長する工程と、

前記InGaP層上に、前記第1の温度にほぼ等しい第3の温度による有機金属化学気相成長法により第2の半導体層をエピタキシャル成長する工程とを有することを特徴とする半導体装置の製造方法。

【請求項12】 請求項11記載の半導体装置の製造方法において、

前記第1の温度及び前記第3の温度は、650～700℃であり、

前記第2の温度は、500～600℃であることを特徴とする半導体装置の製造方法。

【請求項13】 半導体基板上に、有機金属化学気相成長法により、第1の半導体層と、III族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層と、第2の半導体層とをエピタキシャル成長する工程と、

前記InGaP層を短時間アニールし、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層に転換する工程とを有することを特徴とする半導体装置の製造方法。

【請求項14】 請求項11乃至13のいずれか1項に記載の半導体装置の製造方法において、

前記InGaP層に、プレーナードープを行う工程を更に有することを特徴とする半導体装置の製造方法。

【請求項15】 請求項11乃至14のいずれか1項に記載の半導体装置の製造方法において、

前記第1の半導体層は、GaAs層、InGaAs層又はIII族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層であり、前記第2の半導体層は、GaAs層、AlGaAs層又

はInGaAs層であることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】InGaPは、GaAs上にエピタキシャル成長が可能であり、また、GaAsよりも大きなエネルギーバンドギャップを有していることから、これら特性を利用して様々なデバイスに応用されている。例えば、高電子移動度トランジスタ（HEMT: High Electron Mobility Transistor）においては、チャネル層に電子を供給するための電子供給層として利用されており、また、ヘテロ接合バイポーラトランジスタ（HBT: Hetero-junction Bipolar Transistor）においては、広いバンドギャップが要求されるエミッタ層として利用されている。

【0003】また、InGaPは、GaAs、AlGaAs、InGaAsなどのAs元素を含む化合物半導体層に対して優れたエッチング選択性を有しており、選択的な加工が要求される構造を有する半導体装置などに広く用いられている。例えば、特許第2581452号明細書には、GaAs層又はInGaAs層よりなるチャネル層上に、InGaP層よりなる電子供給層を有する半導体装置が開示されている。特許第2581452号明細書に記載の半導体装置について、図10を用いて説明する。

【0004】半絶縁性GaAs基板100上には、GaAs又はAlGaAsよりなるバッファ層102が形成されている。バッファ層102上には、n形不純物が添加されたAlGaAsよりなる電子供給層104が形成されている。電子供給層104上には、GaAs又はInGaAsよりなるチャネル層106が形成されている。チャネル層106上には、InGaPよりなる電子供給層108が形成されている。電子供給層108上には、AlGaAsよりなるコンタクト下層110と、InGaPよりなるコンタクト中間層112と、GaAsよりなるコンタクト上層114とが形成されている。コンタクト層110、112、114には、電子供給層108に達するリセス領域116が設けられており、露出した電子供給層108上にはゲート電極118が形成されている。コンタクト上層114上には、ソース電極120及びドレイン電極122が形成されている。

【0005】このように、特許第2581452号明細書に記載の半導体装置では、電子供給層108として、チャネル層106よりも広いバンドギャップを有し、コンタクト下層110を構成するAlGaAsに対して優れたエッチング選択性を有するInGaPを用いることにより、高性能で且つ均一性や再現性に優れたHEMT

を構成していた。

【0006】

【発明が解決しようとする課題】しかしながら、InGaP層上にAlGaAs層やGaAs層などを形成する従来の半導体装置の構造では、InGaP層とAlGaAs層、GaAs層との界面における抵抗が大きくソース抵抗を増加させる要因となっていることが、本願発明者によって新たに見出された。特に、ゲート耐圧を向上させるべく電子供給層108の中間部分にドープ層を設けるプレーナードープ法を採用した構造の半導体装置においてその影響が顕著であった。

【0007】また、InGaP層とAlGaAs層やGaAs層との界面においてこのように抵抗が増加する原因については明らかにされておらず、原因の究明が求められていた。本発明の目的は、InGaP層とその上層に形成した半導体層との界面におけるコンタクト抵抗を低減しうる半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】上記目的は、半導体基板上にエピタキシャル成長され、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている領域を有するInGaP層と、前記InGaP層上にエピタキシャル成長された前記InGaP層と同一導電型の半導体層とを有することを特徴とする半導体装置によって達成される。InGaP層上に半導体層を形成する場合に、下地のInGaP層の自然超格子を破壊すれば、InGaP層と半導体層との界面におけるトラップを低減することができる。これにより、InGaP層と半導体層との間のコンタクト抵抗を低減することができる。

【0009】また、上記の半導体装置において、前記InGaP層は、半導体基板上に形成され、III族原子層面内におけるInとGaの配列が規則的で自然超格子を構成している第1の層と、前記第1の層上に形成され、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている第2の層とを有することが望ましい。InGaP層と半導体層との間のコンタクト抵抗を低減するためには、少なくともInGaP層と半導体層との界面近傍に、自然超格子を破壊したInGaP層を設けることが有効である。

【0010】また、上記の半導体装置において、前記半導体基板上に形成されたチャネル層と、前記チャネル層上に形成された前記InGaP層により構成された電子供給層と、前記電子供給層上に形成された前記半導体層により構成されたキャップ層とにより電界効果トランジスタが構成されていることが望ましい。自然超格子を破壊したInGaP層は、HEMTの電子供給層に適用することができる。自然超格子を破壊したInGaP層をHEMTの電子供給層に適用すれば、ソース抵抗を低減

することができる。また、チャネル抵抗を低減することもできる。

【0011】また、上記の半導体装置において、前記InGaP層は、不純物が平面的に添加されたプレーナードープ領域を有することが望ましい。プレーナードープ法により電子供給層にドーピングされたHEMTでは、自然超格子を破壊したInGaP層をHEMTの電子供給層に適用することがソース抵抗を低減するうえで極めて有効である。

【0012】また、上記の半導体装置において、前記チャネル層は、GaAs層又はInGaAs層により形成されていることが望ましい。また、上記の半導体装置において、前記半導体基板上に形成されたコレクタ層と、前記コレクタ層上に形成されたベース層と、前記ベース層上に形成された前記InGaP層により構成されたエミッタ層と、前記InGaP層上に形成された前記半導体層により構成されたキャップ層とによりヘテロバイポーラトランジスタが構成されていることが望ましい。自然超格子を破壊したInGaP層は、HBTのエミッタ層に適用することができる。自然超格子を破壊したInGaP層をエミッタ層に適用すれば、エミッタ層とエミッタキャップ層との間のコンタクト抵抗を低減することができる。

【0013】また、上記の半導体装置において、前記半導体層は、GaAs層、AlGaAs層又はInGaAs層により形成されていることが望ましい。また、上記目的は、半導体基板上に、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層を形成する工程を有することを特徴とする半導体装置の製造方法によっても達成される。自然超格子が破壊されたInGaP層を形成すれば、この上層に堆積する半導体層との間のコンタクト抵抗を低減することができる。

【0014】また、上記の半導体装置の製造方法において、500～600℃の温度による有機金属化学気相成長法により、前記InGaP層を成長することが望ましい。500～600℃の温度による有機金属化学気相成長法によりInGaP層を成長することにより、自然超格子が破壊されたInGaP層を形成することができる。

【0015】また、上記の半導体装置の製造方法において、前記半導体基板上にIII族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層を形成し、前記InGaP層を短時間アニールすることにより、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている前記InGaP層を形成することが望ましい。自然超格子を有するInGaP層を短時間アニールすることによってもInGaP層の自然超格子を破壊することができる。

【0016】また、上記目的は、半導体基板上に、第1の温度による有機金属化学気相成長法より第1の半導体層をエピタキシャル成長する工程と、前記第1の半導体層上に、前記第1の温度より低い第2の温度による有機金属化学気相成長法より自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層をエピタキシャル成長する工程と、前記InGaP層上に、前記第1の温度にほぼ等しい第3の温度による有機金属化学気相成長法により第2の半導体層をエピタキシャル成長する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0017】また、上記の半導体装置の製造方法において、前記第1の温度及び前記第3の温度は、650～700℃であり、前記第2の温度は、500～600℃であることが望ましい。また、上記目的は、半導体基板上に、有機金属化学気相成長法により、第1の半導体層と、III族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層と、第2の半導体層とをエピタキシャル成長する工程と、前記InGaP層を短時間アニールし、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層に転換する工程とを有することを特徴とする半導体装置の製造方法によっても達成される。

【0018】また、上記の半導体装置の製造方法において、前記InGaP層に、プレーナードープを行う工程を更に有することが望ましい。また、上記の半導体装置の製造方法において、前記第1の半導体層は、GaAs層、InGaAs層又はIII族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層であり、前記第2の半導体層は、GaAs層、AlGaAs層又はInGaAs層であることが望ましい。

【0019】

【発明の実施の形態】本発明は、本願発明者が初めて見出した現象に基づくものである。すなわち、本願発明者は、InGaP層上に、AlGaAs層やGaAs層等を形成した場合の界面における抵抗の増加がInGaP層の有する自然超格子に原因するものであり、InGaP層の有する自然超格子を破壊することによって界面抵抗の増加を緩和できること初めて見出した。

【0020】通常用いられている化合物半導体層の成長方法、例えばMOCVD (Metal Organic Chemical Vapor Deposition: 有機金属化学気相成長) 法により堆積したInGaP層は、図1 (a) に示すように、III族原子 (In及びGa) からなる原子層と、V族原子 (P) からなる原子層とが交互に積層されてなり、且つ、III族原子からなるIII族原子層面内では、InとGaとが交互に配置するように配列されている (以下、このような結晶配列を自然超格子と呼ぶ)。このように自

然超格子が形成されるのは、成膜過程ではこのような配列が最も安定なためである。

【0021】しかしながら、このように形成した自然超格子を有するInGaP層上に、例えばInを含まないGaAs層を堆積しようとする、InGaPの格子周期ではInが配置されるべきサイト(図中、「In面」と表す)にはGaが配置されにくくなり(図1(b)参照)、結果として成長したGaAs層とInGaP層との界面にストレスを与えてトラップを誘起し、ひいては界面における抵抗の増加をもたらすこととなる。

【0022】かかる観点から本願発明者が鋭意検討を行った結果、自然超格子をもたないInGaP層を形成することにより、InGaP層とAlGaAs層やGaAs層などとの間のトラップが低減され、界面における抵抗の増加を抑制できることが判った。そして、自然超格子をもたないInGaP層は、例えばInGaP層を低温(約600℃以下)で成長することにより形成することができ、或いは、成長後に短時間アニールなどを行って自然超格子を破壊することにより形成できることが判った。

【0023】以下、実施形態に従って本発明を具体的に説明する。

【第1実施形態】本発明の第1実施形態による半導体装置及びその製造方法について図2乃至図7を用いて説明する。図2は本実施形態による半導体装置の構造を示す概略断面図、図3は本実施形態による半導体装置におけるソース抵抗とPL発光波長との関係を示すグラフ、図4は本実施形態による半導体装置におけるチャネル層のシート抵抗と閾値電圧の関係を示すグラフ、図5及び図6は本実施形態による半導体装置の製造方法を示す工程断面図、図7は本実施形態による半導体装置の製造方法における成膜温度の変化を示すグラフである。

【0024】はじめに、本実施形態による半導体装置の構造について図2を用いて説明する。本実施形態では、本発明を、電子供給層にInGaP層を用いたHEMTに適用した一例について説明する。半絶縁性GaAs基板10上には、膜厚約600nmのGaAs層よりなるバッファ層12が形成されている。バッファ層12上には、膜厚約14nmのIn_{0.5}Ga_{0.5}As層よりなるチャネル層14が形成されている。チャネル層14上には、InGaPよりなる電子供給層20が形成されている。電子供給層20は、膜厚約2.5nmのIn_{0.5}Ga_{0.5}P層16と、膜厚約15.5nmのIn_{0.5}Ga_{0.5}P層18とからなり、チャネル層14からの距離がほぼ5nmとなる位置のIn_{0.5}Ga_{0.5}P層18にはSiが $8 \times 10^{18} \text{cm}^{-3}$ の濃度でプレーナードープされている。また、InGaP層16、18は、自然超格子をもたない無秩序配列の結晶構造を有している。なお、本明細書において、無秩序配列の結晶構造とはIII族原子層の面内におけるInとGaの配列が不規則であること

を意味するものとし(図中、「disordered」と表す)、自然超格子を有するInGaP(図中、「ordered」と表す)と区別することとする。電子供給層20上には、膜厚約70nm、電子濃度 $4 \times 10^{18} \text{cm}^{-3}$ のn-GaAs層よりなるコンタクト層22が形成されている。コンタクト層22には、電子供給層20に達するリセス領域24が設けられており、露出した電子供給層20上にはゲート電極30が形成されている。コンタクト上層22上には、ソース電極26及びドレイン電極28が形成されている。

【0025】このように、本実施形態による半導体装置は、チャネル層14上に形成された電子供給層20が、自然超格子を有さない無秩序配列の結晶構造を有するInGaP層により形成されていることに特徴がある。無秩序配列の結晶構造を有するInGaP層を電子供給層20に適用することにより、電子供給層20上に形成するGaAsコンタクト層22との界面におけるキャリア濃度の低下を防止することができ、これにより、ソース抵抗を減少することができる。

【0026】図3は、ソース抵抗とPL発光波長との関係を示すグラフである。図中、縦軸がソース抵抗を表し、横軸が77KにおけるInGaPの発光波長を示したものである。InGaP結晶は、発光波長が約646nmのときに自然超格子を有しており、発光波長が短くなるほどに自然超格子の破壊が進行していることを表し、発光波長が約620nmのときにほぼ完全な無秩序配列となっていることを表す。

【0027】図3に示すように、InGaPの発光波長が短くなるほどにソース抵抗が低減しており、すなわち、InGaP層16、18の結晶構造を無秩序配列に近づけるほどにソース抵抗を減少することができることが判る。本実施形態による半導体装置では、In_{0.5}Ga_{0.5}P層18とチャネル層との間に、組成比が異なるIn_{0.5}Ga_{0.5}P層を設けているが、これは以下に示す理由によるものである。

【0028】GaAsと格子整合するInGaP層は、Inの組成が約0.5のとき、すなわちIn_{0.5}Ga_{0.5}Pの場合である。しかしながら、In_{0.5}Ga_{0.5}P層をチャネル層14であるIn_{0.5}Ga_{0.5}As層の上に直接堆積すると、チャネル層中におけるキャリアの移動度が低下することがあった。これは、In_{0.5}Ga_{0.5}P層中のPやドーパントであるSiが、In_{0.5}Ga_{0.5}As層の有する結晶歪みによってIn_{0.5}Ga_{0.5}As層中に拡散するためと考えられている。そこで、本実施形態による半導体装置では、In_{0.5}Ga_{0.5}As層14の有する結晶歪みと逆方向の結晶歪みを有するIn_{0.5}Ga_{0.5}P層16をIn_{0.5}Ga_{0.5}P層18とIn_{0.5}Ga_{0.5}As層14との間に挿入し、P、Siの拡散を抑制することとしている。

【0029】また、電子供給層20に無秩序配列の結晶

構造を有するInGaP層を適用することにより、チャネル層のシート抵抗を低減することもできる。図4は、チャネル層14のシート抵抗 R_s と閾値電圧 V_{th} との関係を示すグラフである。図示するように、自然超格子を有するInGaP層により電子供給層20を形成した場合(Ordered)と比較して、無秩序配列の結晶構造のInGaP層により電子供給層20を形成した場合(Disordered)には、チャネル層14のシート抵抗を大幅に低減することができた。

【0030】自然超格子をもたないInGaP層により電子供給層20を形成することによりチャネル層14のシート抵抗を低減できるメカニズムについては明らかではないが、InGaP層中の結晶歪みの低減や、InGaPのバンドギャップの変化によるものと考えられる。すなわち、電子供給層20に無秩序配列の結晶構造を導入することによりInGaP層内の格子歪みを更に低減できるので、自然超格子を有するInGaP層により電子供給層を形成した場合と比較して、無秩序配列の結晶構造のInGaP層により電子供給層20を形成した場合では、上述したようなPやSiの拡散が更に抑制され、チャネル層14のシート抵抗に与える影響を低減できるものと考えられる。

【0031】また、無秩序配列の結晶構造を有するInGaPは、自然超格子を有するInGaPよりもエネルギーバンドギャップが広いため、チャネル層14における電子の閉じ込め効果がより顕著となり、チャネル抵抗が減少していることも考えられる。このように、電子供給層20に無秩序配列の結晶構造のInGaP層を適用することにより、コンタクト層22と電子供給層20との間の縦方向抵抗(ソース抵抗)を低減できるとともに、チャネル層14の横方向抵抗をも低減することができる。

【0032】次に、本実施形態による半導体装置の製造方法について図5乃至図7を用いて説明する。まず、面方位(100)、オフセット角 2° の半絶縁性GaAs基板10上に、例えばMOCVD法により、膜厚約600nmのGaAs層よりなるバッファ層12と、膜厚約14nmの $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 層よりなるチャネル層14と、膜厚約2.5nmの $\text{In}_{0.1}\text{Ga}_{0.9}\text{P}$ 層16と、膜厚約15.5nmの $\text{In}_{0.1}\text{Ga}_{0.9}\text{P}$ 層18と、膜厚約70nm、電子濃度 $4 \times 10^{18} \text{cm}^{-3}$ のn-GaAs層よりなるコンタクト層22とを順次成長する(図5(a))。

【0033】この際、 $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 層からの距離がほぼ5nmとなる位置の $\text{In}_{0.1}\text{Ga}_{0.9}\text{P}$ 層18に、Siのプレーナードープを行う。プレーナードープは、III族原料の供給を一時停止し、すなわち $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 層の成長を一時停止した状態で、Siを含む原料ガスを反応炉に供給することにより行う。例えば、ビーク濃度が $8 \times 10^{18} \text{cm}^{-3}$ 、拡散後の半値幅が約5n

mとなるように $\text{In}_{0.1}\text{Ga}_{0.9}\text{As}$ 層中にSiを導入する。なお、プレーナードープは、不純物のドーピング範囲を約10nm以下、ドーピング量を $5 \times 10^{17} \sim 1 \times 10^{19} \text{cm}^{-3}$ 、チャネル層14とドーピング位置までの距離を約2~10nmとすることが望ましい。

【0034】結晶成長を行う反応炉としては、例えば減圧横型炉を使用し、III族原料として例えばTMG、TEG、TMIを、V族原料として例えば AsH_3 、 PH_3 を使用する。成長圧力は、例えば76 Torrとする。ここで、本実施形態による半導体装置の製造方法は、電子供給層20となるInGaP層16、18の成長温度を、約600℃以下まで低温化することに特徴がある。

【0035】従来の半導体装置の製造方法では、バッファ層14の成長からコンタクト層22の成長までの間、成長温度はほぼ一定温度に保たれていた。これは、成膜の再現性等の要求から、一定温度に保っていた方が優れていると考えられていたためである。このため、従来の半導体装置の製造方法においては、バッファ層12、チャネル層14、電子供給層20、コンタクト層22の成長は、650~700℃の間の一定温度によって行われていた。

【0036】650~700℃程度の温度により成膜が行われていたのは、従来の半導体装置ではInGaP層を使用する場合であっても、エッチングストップ膜としてAlGaAs層が採用されることがあり、AlGaAsの結晶性を保持するために高温成長が必須であったからである。そして、製造過程における温度変更工程を入れる無駄を省くため、InGaP層を含めてすべての層を高温で成長していた。また、バッファ層12を低温で成長した場合、膜中に酸素が混入してトラップを形成するため、デバイスの高周波特性の劣化を引き起こすなどの問題があり、バッファ層12の成長は低温では行われていなかった。

【0037】これに対し、本実施形態による半導体装置においてInGaP層16、18の低温成長を行うのは、約600℃以下の温度、望ましくは約550℃の温度においてInGaPを成長すると、自然超格子が形成されず、自然超格子をもたない無秩序配列の結晶構造を有するInGaP層16、18を形成することができるからである。一方、成膜温度が500℃よりも低くなると膜中にカーボンが多量に混入して結晶性の劣化が顕著となるので、InGaP層16、18の成長は、500~600℃の温度範囲で行うことが望ましい。

【0038】そこで、本実施形態による半導体装置の製造方法では、バッファ層12、チャネル層14を従来の半導体装置の製造方法と同様の温度である650~700℃で成長した後、InGaP層16、18を550℃程度の低温において成長し、その後、従来の半導体装置の製造方法と同様の温度である650~700℃でコンタクト層22を成長している(図7参照)。

【0039】なお、InGaP層16、18以外の層をも低温で成長することも考えられるが、上述の通りバッファ層12を低温で成長することは望ましくないこと、AlGaAs層を採用する場合のプロセス整合性等を考慮すると、本実施形態に示すようにInGaP層16、18のみを低温で成長することが望ましいと考えられる。但し、本発明による上述の効果は、InGaP層を低温で成長することにより達成することができるので、上述した課題が半導体装置の特性に影響を与えない場合や、他の手段により解決し得るような場合には、必ずしもInGaP層の成長温度と異なる温度で成長する必要はない。

【0040】このようにしてInGaP層16、18を成長することにより、この上層に成長するコンタクト層22との界面にはトラップが誘起されず、コンタクト領域における縦方向抵抗が増加することを防止し、また、チャネル層14のシート抵抗の増加を抑制することができる。次いで、コンタクト層22に、InGaP層18に達するリセス領域24を形成する(図5(b))。リセス領域24は、後工程でゲート電極30を形成するための領域に相当する。

【0041】続いて、例えばAuGe/Ni膜を堆積してパターニングし、リセス領域24の両側のコンタクト層22上に形成されたソース電極26、ドレイン電極28及びリセス領域24内の電子供給層20上に形成されたゲート電極30とを形成する(図6)。なお、電子ビーム描画プロセスを用い、ゲート長0.15 μ mのトランジスタを形成したところ、ソースドレイン間電圧1Vにおける k 値が約950mA/V/mm¹、チャネルコンダクタンス g_m が約680mS/mmである半導体装置を得ることができた。 k 値が600mA/V/mm¹、チャネルコンダクタンス g_m が約350mS/mmである従来の半導体装置と比較して、その特性を大幅に向上することができた。

【0042】このように、本実施形態によれば、電界効果トランジスタの電子供給層20を無秩序配列の結晶構造のInGaP層16、18により形成するので、コンタクト層22と電子供給層20との間の縦方向抵抗を低減できるとともに、チャネル層14の横方向抵抗をも低減することができる。なお、上記実施形態では、無秩序配列の結晶構造を有するInGaP層16、18を、低温成長することにより形成したが、他の方法によって形成することもできる。例えば、バッファ層12、チャネル層14、電子供給層20、コンタクト層22を成長した後、800℃、10秒程度の短時間アニール(RT A: Rapid Thermal Annealing)を行うことによっても電子供給層20を構成するInGaP層16、18の自然超格子を破壊することができる。また、成膜過程における基板の俯角を変えることによっても無秩序配列の結晶構造を有するInGaP層を形成することができる。

【0043】また、上記実施形態では、コンタクト部の縦方向抵抗の低減と、チャネル抵抗の低減との双方を目的とし、電子供給層20を構成するすべての層を無秩序配列の結晶構造を有するInGaP層により形成したが、少なくとも電子供給層20とコンタクト層22との界面近傍に無秩序配列の結晶構造を有するInGaP層を形成すれば、コンタクト部の縦方向抵抗を低減する効果を得ることができる。

【0044】したがって、例えば図8に示すように、電子供給層20を、膜厚約2.5nmの自然超格子を有するIn_{0.5}Ga_{0.5}P層32と、膜厚約5.5nmの自然超格子を有するIn_{0.5}Ga_{0.5}P層34と、膜厚約10nmの自然超格子を破壊したIn_{0.5}Ga_{0.5}P層36とによって構成することにより、コンタクト部の縦方向抵抗を低減することができる。

【0045】[第2実施形態] 本発明の第2実施形態による半導体装置及びその製造方法について図9を用いて説明する。図9は本実施形態による半導体装置の構造を示す概略断面図である。第1実施形態による半導体装置及びその製造方法では、本発明を電子供給層にInGaP層を用いたHEMTに適用した例を示したが、他のデバイスにも適用することができる。本実施形態では、本発明をHBTに適用した一例について説明する。

【0046】半絶縁性GaAs基板40上には、膜厚約400nmのi-GaAs層42と、膜厚約300nm、ドナー濃度約 1×10^{18} cm⁻³のn-GaAsよりなるサブコレクタ層44と、膜厚約500nm、ドナー濃度約 1×10^{18} cm⁻³のn-GaAsよりなるコレクタ層46と、膜厚約100nm、アクセプタ濃度約 3×10^{18} cm⁻³のp-GaAsよりなるベース層48と、膜厚約200nm、ドナー濃度約 5×10^{18} cm⁻³のn-InGaPよりなるエミッタ層50と、膜厚約50nm、ドナー濃度約 1×10^{18} cm⁻³のn-GaAs層52と、膜厚約50nm、ドナー濃度約 3×10^{18} cm⁻³のn-InGaAs層54とが順次積層されている。n-InGaAs層54上には、エミッタ電極62が形成されている。n-GaAs層52及びn-InGaAs層54は、エミッタ層50とエミッタ電極62との間の直列抵抗を減らすためのエミッタキャップ層56である。

【0047】ベース層48及びコレクタ層46は、同一のメサ形状にパターニングされており、露出したサブコレクタ層44上にはコレクタ電極58が形成されている。エミッタ層50及びエミッタキャップ層56は、同一のメサ形状にパターニングされており、露出したベース層48上には、ベース電極60が形成されている。

【0048】ここで、本実施形態による半導体装置は、エミッタ層50を構成するn-InGaP層が、無秩序配列の結晶構造を有するInGaP層により構成されていることに特徴がある。エミッタ層50をこのように無

秩序配列の結晶構造を有するInGaP層により形成することにより、上層に形成するn-GaAs層52との界面において、ストレスによるトラップが誘起されることを防止することができるので、エミッタ層50とエミッタキャップ層56との間の抵抗を低減することができる。

【0049】なお、無秩序配列の結晶構造を有するInGaP層は、第1実施形態による半導体装置の製造方法と同様にして、低温で成長するか、或いは、RTAにより自然超格子を破壊することによって形成することができる。このように、本実施形態によれば、InGaP層よりなるエミッタ層50を有するHBTにおいて、エミッタ層50を無秩序配列の結晶構造を有するInGaP層により構成するので、エミッタ層50とエミッタキャップ層56との間のコンタクト抵抗を低減することができる。

【0050】なお、上記第1実施形態では本発明をHEMTに適用した例を、第2実施形態では本発明をHBTに適用した例を示したが、他のデバイスであっても適用することができる。本発明は、InGaP層の有する自然超格子に起因するトラップの影響による抵抗の低減を主目的とするものであり、InGaP層上に、InGaP層と電気的に接続される半導体層、例えばGaAs層、AlGaAs層、InGaAs層を有する半導体装置に広く適用することができる。

【0051】

【発明の効果】以上の通り、本発明によれば、半導体基板上にエピタキシャル成長され、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている領域を有するInGaP層と、InGaP層上にエピタキシャル成長されたInGaP層と同一導電型の半導体層とにより半導体装置を構成するので、InGaP層と半導体層との界面におけるトラップを低減することができる。これにより、InGaP層と半導体層との間のコンタクト抵抗を低減することができる。

【0052】また、上記の半導体装置において、InGaP層を、半導体基板上に形成され、III族原子層面内におけるInとGaの配列が規則的で自然超格子を構成している第1の層と、第1の層上に形成され、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっている第2の層とにより構成すれば、InGaP層と半導体層との間のコンタクト抵抗を低減することができる。すなわち、InGaP層と半導体層との間のコンタクト抵抗を低減するためには、少なくともInGaP層と半導体層との界面近傍に、自然超格子を破壊したInGaP層を設けることが有効である。

【0053】また、半導体基板上に形成されたチャネル層と、チャネル層上に形成されたInGaP層により構成された電子供給層と、電子供給層上に形成された半導

体層により構成されたキャップ層とにより電界効果トランジスタを構成すれば、電界効果トランジスタのソース抵抗を低減することができる。また、チャネル抵抗を低減することもできる。

【0054】また、半導体基板上に形成されたコレクタ層と、コレクタ層上に形成されたベース層と、ベース層上に形成されたInGaP層により構成されたエミッタ層と、InGaP層上に形成された半導体層により構成されたキャップ層とによりヘテロバイポーラトランジスタを構成すれば、エミッタ層とエミッタキャップ層との間のコンタクト抵抗を低減することができる。

【0055】また、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層を形成する工程を有する半導体装置の製造方法によりInGaP層を形成すれば、このInGaP層に堆積する半導体層との間のコンタクト抵抗を低減することができる。また、500～600℃の温度による有機金属化学気相成長法により、InGaP層を成長すれば、自然超格子が破壊されたInGaP層を形成することができる。

【0056】また、半導体基板上にIII族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層を成長し、InGaP層を短時間アニールすることによっても自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層を形成することができる。また、半導体基板上に、第1の温度による有機金属化学気相成長法より第1の半導体層をエピタキシャル成長する工程と、第1の半導体層上に、第1の温度より低い第2の温度による有機金属化学気相成長法より自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層をエピタキシャル成長する工程と、InGaP層上に、第1の温度にほぼ等しい第3の温度による有機金属化学気相成長法により第2の半導体層をエピタキシャル成長する工程とにより半導体装置を製造することにより、InGaP層と第2の半導体層との間のコンタクト抵抗が小さい半導体装置を製造することができる。

【0057】また、半導体基板上に、有機金属化学気相成長法により、第1の半導体層と、III族原子層面内におけるInとGaの配列が規則的で自然超格子を構成しているInGaP層と、第2の半導体層とをエピタキシャル成長する工程と、前記InGaP層を短時間アニールし、自然超格子が破壊されてIII族原子層面内におけるInとGaの配列が不規則となっているInGaP層に転換する工程とにより半導体装置を製造方法することによっても、InGaP層と第2の半導体層との間のコンタクト抵抗が小さい半導体装置を製造することができる。

【図面の簡単な説明】

【図1】InGaPの自然超格子を説明する図である。

【図2】本発明の第1実施形態による半導体装置の構造を示す概略断面図である。

【図3】本発明の第1実施形態による半導体装置におけるソース抵抗とPL発光波長との関係を示すグラフである。

【図4】本発明の第1実施形態による半導体装置におけるチャンネル層のシート抵抗と閾値電圧の関係を示すグラフである。

【図5】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図6】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図7】本発明の第1実施形態による半導体装置の製造方法における成膜温度の変化を示すグラフである。

【図8】第1実施形態の変形例による半導体装置の構造を示す概略断面図である。

【図9】本発明の第2実施形態による半導体装置の構造を示す概略断面図である。

【図10】従来の半導体装置の構造を示す概略断面図である。

【符号の説明】

10…半絶縁性GaAs基板

12…バッファ層

14…チャンネル層

16…In_{0.5}Ga_{0.5}P層

18…In_{0.5}Ga_{0.5}P層

20…電子供給層

22…コンタクト層

24…リセス領域

26…ソース電極

28…ドレイン電極

30…ゲート電極

32…In_{0.5}Ga_{0.5}P層

34…In_{0.5}Ga_{0.5}P層（自然超格子）

36…In_{0.5}Ga_{0.5}P層（無秩序配列）

40…半絶縁性GaAs基板

42…i-GaAs層

44…サブコレクタ層

46…コレクタ層

48…ベース層

50…エミッタ層

52…n-GaAs層

54…n-AlGaAs層

56…エミッタキャップ層

58…コレクタ電極

60…ベース電極

62…エミッタ電極

100…半絶縁性GaAs基板

102…バッファ層

104…電子供給層

106…チャンネル層

108…電子供給層

110…コンタクト下層

112…コンタクト中間層

114…コンタクト上層

116…リセス領域

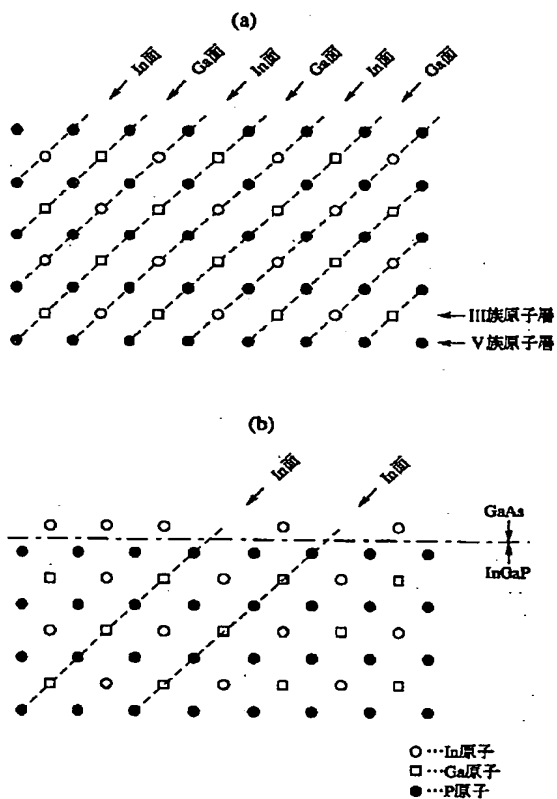
118…ゲート電極

120…ソース電極

122…ドレイン電極

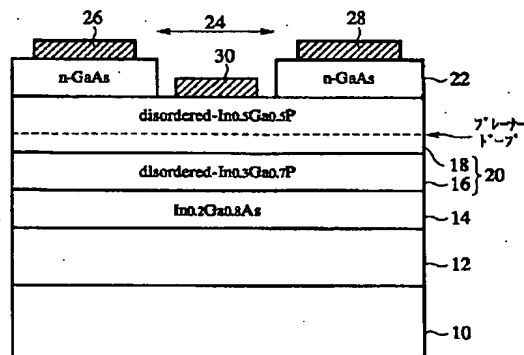
【図1】

InGaPの自然超格子を説明する図



【図2】

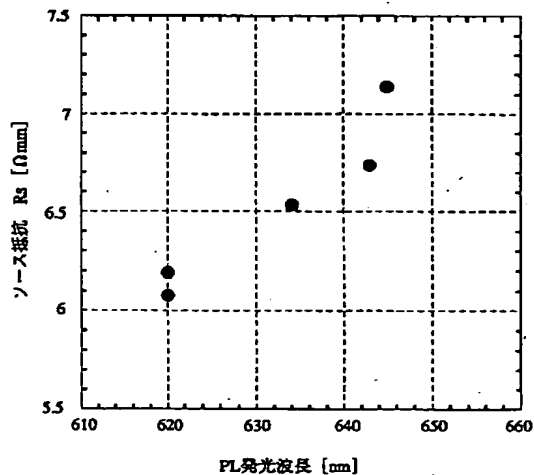
本発明の第1実施形態による半導体装置の構造を示す概略断面図



- 10...半導体性GaAs基板
12...バッファ層
14...チャネル層
16...In_{0.3}Ga_{0.7}P層
18...In_{0.5}Ga_{0.5}P層
20...電子供給層
22...コンタクト層
24...リセス領域
26...ソース電極
28...ドレイン電極
30...ゲート電極

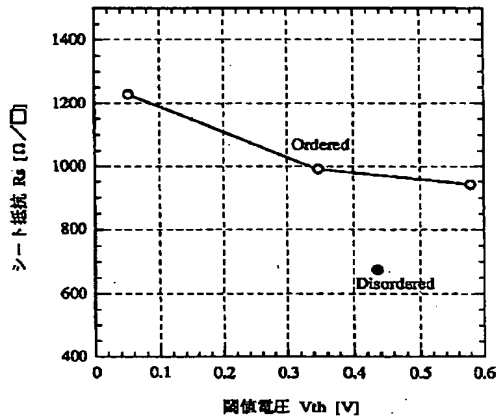
【図3】

本発明の第1実施形態による半導体装置におけるソース抵抗とPL発光波長との関係を示すグラフ



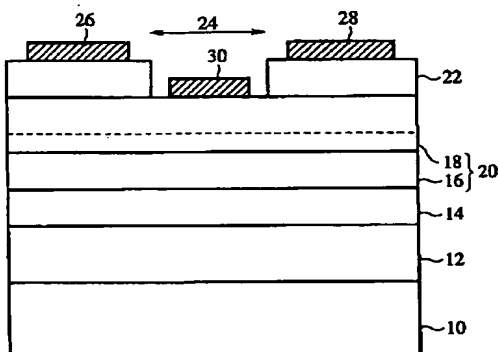
【図4】

本発明の第1実施形態による半導体装置における
チャネル層のシート抵抗と閾値電圧の関係を示すグラフ



【図6】

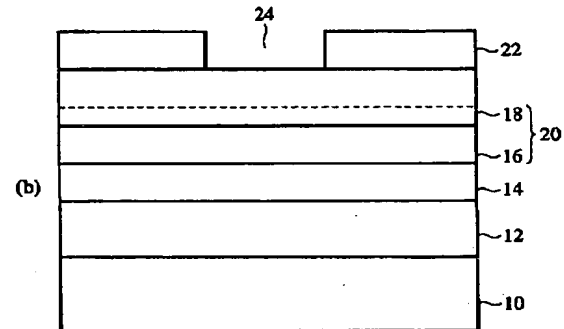
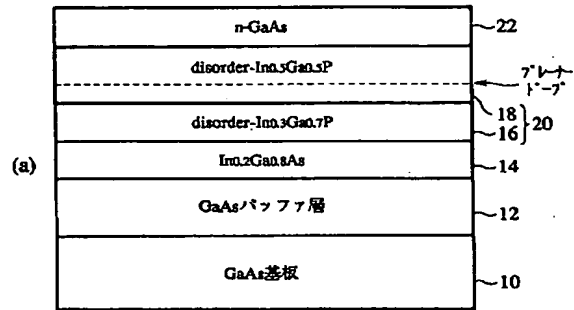
本発明の第1実施形態による半導体装置の
製造方法を示す工程断面図(その2)



26…ソース電極
28…ドレイン電極
30…ゲート電極

【図5】

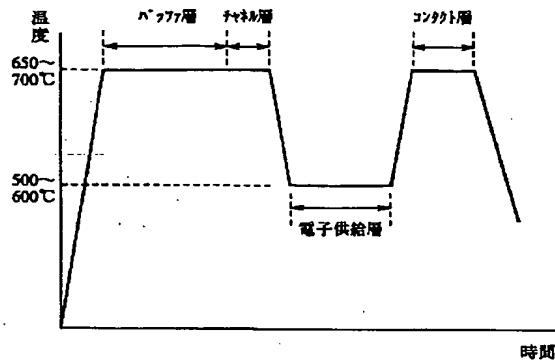
本発明の第1実施形態による半導体装置の
製造方法を示す工程断面図(その1)



10…半絶縁性GaAs基板
12…バッファ層
14…チャネル層
16…In_{0.3}Ga_{0.7}P層
18…In_{0.5}Ga_{0.5}P層
20…電子供給層
22…コンタクト層
24…リセス領域

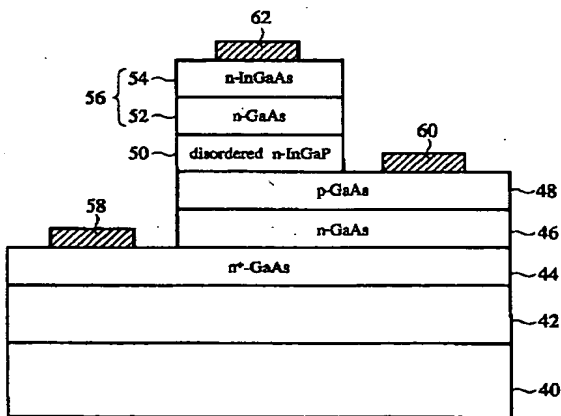
【図7】

本発明の第1実施形態による半導体装置の
製造方法における成膜温度の変化を示すグラフ



【図9】

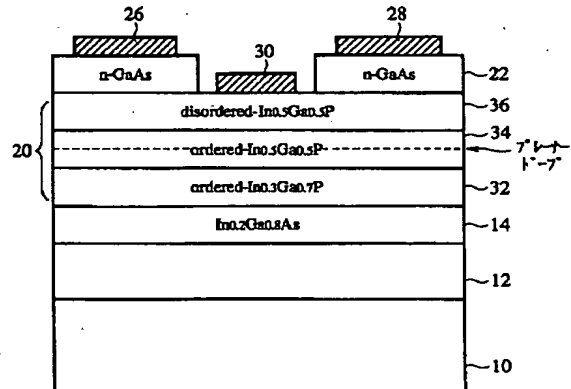
本発明の第2実施形態による半導体装置の
構造を示す概略断面図



40…半絶縁性GaAs基板
42…i-GaAs層
44…サブコレクタ層
46…コレクタ層
48…ベース層
50…エミッタ層
52…n-GaAs層
54…n-AlGaAs層
56…エミッタキャップ層
58…コレクタ電極
60…ベース電極
62…エミッタ電極

【図8】

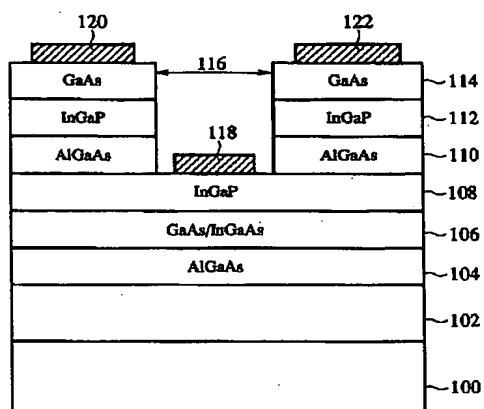
第1実施形態の変形例による半導体装置の
構造を示す概略断面図



10…半絶縁性GaAs基板
12…バッファ層
14…チャネル層
20…電子供給層
22…コンタクト層
26…ソース電極
28…ドレイン電極
30…ゲート電極
32…In0.5Ga0.5P層
34…In0.5Ga0.5P層(自然超格子)
36…In0.5Ga0.5P層(無秩序配列)

【図10】

従来の半導体装置の構造を示す概略断面図



- 100...半絶縁性GaAs基板
 102...バッファ層
 104...電子供給層
 106...チャネル層
 108...電子供給層
 110...コンタクト下層
 112...コンタクト中間層
 114...コンタクト上層
 116...リセス領域
 118...ゲート電極
 120...ソース電極
 122...ドレイン電極

フロントページの続き

(51) Int. Cl.⁴

識別記号

F I

H 0 1 L 21/338

29/812